

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP2000091506
Publication date: 2000-03-31
Inventor(s): UEDA MASAHIKO
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: JP2000091506
Application Number: JP19980261254 19980916
Priority Number(s):
IPC Classification: H01L27/04; H01L21/822; G06F1/04; G06F1/06; G06F1/10; H03K5/13
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the design man-hours of an LSI and to avoid timing errors related to clock signals.

SOLUTION: In the drive circuit of a clock signal line 5, a delay circuit 2A provided with a variable delay value and an output buffer circuit 4 provided with the variable drive capacity are provided, also a register 8 where a CPU 6 can write data is provided and the delay value of the delay circuit 2A and the drive capacity of the output buffer circuit 4 are controlled, corresponding to the contents of the data written to the register 8. Also, software for testing the timing of the circuit and software for controlling the delay value of the delay circuit 2A, based on a test result are stored on a memory 7. The CPU 6 executes the software and writes the data to the register 8 in the initialization of a chip, a clock drive circuit is adjusted and thus, the timing errors are prevented.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-91506
(P2000-91506A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	F 5 B 0 7 9
21/822		G 0 6 F 1/04	3 0 1 F 5 F 0 3 8
G 0 6 F 1/04	3 0 1	H 0 3 K 5/13	5 J 0 0 1
1/06		G 0 6 F 1/04	3 1 2 A
1/10			3 3 0 A

審査請求 未請求 請求項の数11 OL (全 18 頁) 最終頁に続く

(21) 出願番号 特願平10-261254

(22) 出願日 平成10年9月16日 (1998.9.16)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 植田 雅彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

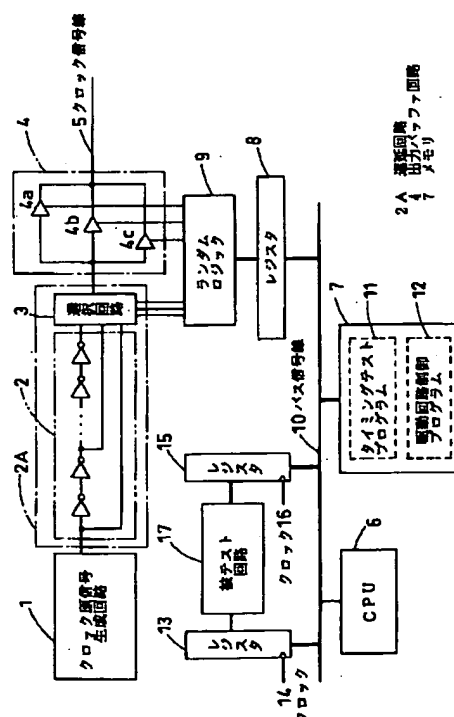
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 L S I の設計工数を削減するとともに、クロック信号に係わるタイミングエラーを回避する。

【解決手段】 クロック信号線5の駆動回路中に、可変な遅延値を持つ遅延回路2Aと可変な駆動能力を持つ出力バッファ回路4とを設け、かつCPU6がデータを書き込むことができるレジスタ8を設け、レジスタ8に書き込まれたデータの内容に応じて、遅延回路2Aの遅延値と出力バッファ回路4の駆動能力を制御できるようにしておく。また、メモリ7上に回路のタイミングをテストするソフトウェアとテスト結果に基づいて遅延回路2Aの遅延値を制御するソフトウェアとを記憶しておき、チップの初期設定時にソフトウェアをCPU6が実行してレジスタ8にデータを書き込みクロック駆動回路を調整することで、タイミングエラーを防止する。



【特許請求の範囲】

【請求項1】 プロセッサコアと、
可変な遅延値を持つ遅延回路を有するクロック信号線の
駆動回路と、

前記プロセッサコアにより前記遅延回路の遅延値を設定
するためのデータが書き込まれるレジスタと、
前記レジスタに書き込まれたデータに応じて前記遅延回
路の遅延値を制御する制御回路とを備えた半導体集積回
路。

【請求項2】 プロセッサコアと、
可変な駆動能力を持つ出力バッファ回路を有するクロッ
ク信号線の駆動回路と、
前記プロセッサコアにより前記出力バッファ回路の駆動
能力を設定するためのデータが書き込まれるレジスタ
と、
前記レジスタに書き込まれたデータに応じて前記出力バ
ッファ回路の駆動能力を制御する制御回路とを備えた半
導体集積回路。

【請求項3】 プロセッサコアが実行可能な命令コード
からなるソフトウェアを前記プロセッサコアに実行させ
ることにより、レジスタにデータを書き込むことを特徴
とする請求項1または請求項2記載の半導体集積回路。

【請求項4】 所定回路のタイミングをテストするテス
ト用ソフトウェアと、このテスト用ソフトウェアを実行
したテスト結果に基づいて遅延回路の遅延値を制御する
ための駆動回路制御用ソフトウェアとを記憶するメモリ
を設け、

プロセッサコアが前記テスト用ソフトウェアおよび前記
駆動回路制御用ソフトウェアを実行するようしたことを
特徴とする請求項1記載の半導体集積回路。

【請求項5】 所定回路のタイミングをテストするテス
ト用ソフトウェアと、このテスト用ソフトウェアを実行
したテスト結果に基づいて出力バッファ回路の駆動能力
を制御するための駆動回路制御用ソフトウェアとを記憶
するメモリを設け、

プロセッサコアが前記テスト用ソフトウェアおよび前記
駆動回路制御用ソフトウェアを実行するようしたことを
特徴とする請求項2記載の半導体集積回路。

【請求項6】 可変な遅延値を持つ遅延回路を有するク
ロック信号線の駆動回路と、
複数の回路ブロックに含まれるフリップフロップにそれ
ぞれ入力されるクロック信号間のスキューを検出するク
ロックスキュー検出回路と、
前記クロックスキュー検出回路の検出する前記クロック
信号間のスキューに応じて前記遅延回路の遅延値を制御
する制御回路とを備えた半導体集積回路。

【請求項7】 可変な駆動能力を持つ出力バッファ回路
を有するクロック信号線の駆動回路と、
複数の回路ブロックに含まれるフリップフロップにそれ
ぞれ入力されるクロック信号間のスキューを検出するク

ロックスキュー検出回路と、

前記クロックスキュー検出回路の検出する前記クロック
信号間のスキューに応じて前記出力バッファ回路の駆動
能力を制御する制御回路とを備えた半導体集積回路。

【請求項8】 クロックスキュー検出回路は、
複数の回路ブロックのうち第1の回路ブロックに設けら
れ、前記第1の回路ブロックに含まれる他のフリップフ
ロップに入力されるクロック信号と同位相のクロック信
号を入力する第1のテスト用フリップフロップと、
前記複数の回路ブロックのうち前記第1の回路ブロック
の出力信号を入力する第2の回路ブロックに設けられ、
前記第2の回路ブロックに含まれる他のフリップフロ
ップに入力されるクロック信号と同位相のクロック信号を
入力するとともに前記第1のテスト用フリップフロップ
の出力データを入力データとする第2のテスト用フリ
ップフロップと、

前記第1のテスト用フリップフロップへデータを出力す
るデータ発生回路と、

前記第1のテスト用フリップフロップの出力データと前
記第2のテスト用フリップフロップの出力データとを用
いて前記第1のテスト用フリップフロップと前記第2の
テスト用フリップフロップとに入力されるクロック信号
間のスキューを検出するデータ解析回路とからなること
を特徴とする請求項6または請求項7記載の半導体集積
回路。

【請求項9】 可変な遅延値を持つ遅延回路を有するク
ロック信号線の駆動回路と、

プロセス変動や使用時における電源電圧変動や温度変化
を反映した標準遅延値を検出する遅延評価回路と、
前記遅延評価回路の検出する前記標準遅延値に応じて前
記遅延回路の遅延値を制御する制御回路とを備えた半導
体集積回路。

【請求項10】 可変な駆動能力を持つ出力バッファ回
路を有するクロック信号線の駆動回路と、
プロセス変動や使用時における電源電圧変動や温度変化
を反映した標準遅延値を検出する遅延評価回路と、
前記遅延評価回路の検出する前記標準遅延値に応じて前
記出力バッファ回路の駆動能力を制御する制御回路とを
備えた半導体集積回路。

【請求項11】 遅延評価回路は、
遅延値が異なる複数の遅延回路と、
前記各遅延回路へデータを出力するデータ発生回路と、
前記各遅延回路の出力データを用いてプロセス変動や使
用時における電源電圧変動や温度変化を反映した標準遅
延値を検出するデータ解析回路とからなることを特徴と
する請求項9または請求項10記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に
関し、特に大規模システムLSIのクロック供給技術に

係わるものである。

【0002】

【従来の技術】システムLSI設計において現在主流となっている同期回路においては、チップ上の複数のフリップフロップに供給されるクロック信号のタイミングにわずかもずれがあると、ただちに誤動作の原因になる。従って、クロックスキューを抑えることがLSI設計の大きな課題となっている。

【0003】従来の半導体集積回路では、クロックスキューの抑制は、例えば以下に示すような手順で行われることが多かった。まず、第一段階として、LSIを構成する各ブロックのレイアウト設計時に、当該ブロックのクロック入力端子からブロック内に含まれる各フリップフロップのクロック入力端子の間に、複数のバッファセルで構成されるクロックバッファツリーを作り込む。このときに、各バッファセルの駆動能力、各バッファセルが駆動する後段セルの入力容量、各バッファセルから後段セルに至る配線の負荷容量および抵抗値を考慮して、当該ブロックのクロック入力端子からブロック内に含まれる各フリップフロップのクロック入力端子までの遅延値を計算し、この遅延値がブロックに含まれる各フリップフロップ間で一定に揃うように、各バッファセルの駆動能力や各バッファセルと各フリップフロップの位置または配線の経路を調整する。これにより、各ブロック内ではフリップフロップ間でクロックスキューを抑制することが可能である。

【0004】次に、第二段階として、チップ全体のレイアウト設計時に、クロック生成回路から各ブロックのクロック入力端子に至る配線の負荷容量および抵抗値と各ブロック内でのクロック遅延値を考慮して、クロック生成回路から各ブロックのフリップフロップのクロック入力端子までの遅延値が一定に揃うように、クロック信号線駆動回路の駆動能力やクロック配線の負荷容量や抵抗値を調整する。これらはレイアウトデータを変更/カスタマイズすることにより実現する。これにより、最終的にチップ全体でフリップフロップ間のクロックスキューを抑制することができるのである。

【0005】

【発明が解決しようとする課題】以上述べたような従来の半導体集積回路には、以下に示すような課題がある。まず、半導体製造技術が進歩して回路が微細化されていくにつれて、回路遅延に対する配線の影響が大きくなってきており、従来に比べてタイミング設計が困難になってきている。

【0006】従来は、LSIを構成する各セルが駆動する負荷容量の中で、セルの入力容量が占める割合が相対的に大きかったため、配線の負荷容量は大きな影響を与えなかった。しかし、回路が微細化されるに伴い、配線の負荷容量の割合が増大しており、現在ではセルの入力容量と同程度になってきている。この傾向は今後も続く

ため、将来は配線が負荷容量の大きな部分を占めるようになる。

【0007】これは回路遅延を決めるもう一つの要因である抵抗値についても同様であり、今後は配線の負荷容量と抵抗値が回路遅延を決定することになる。このことがLSIのタイミング設計を困難にする理由は、今日のLSI設計では標準セルとしてあらかじめライブラリ化されたセルを用いるため、セルの入力容量は各チップ個別のレイアウト設計の影響を受けないのに対して、配線はレイアウト設計結果により全く変わってしまうためである。

【0008】そのために、現在ではレイアウト設計結果に基づいて回路遅延を計算するバックアノテーション技術を設計フローの中に取り込むのが一般的であるが、高精度が要求されるクロック信号に対してはバックアノテーション技術では精度が不十分である。そこでSPICEを用いたより高精度な解析が行われるが、それには大きな設計工数が必要となっている。

【0009】次に、最近の微細化技術の進歩に伴い、特定用途向けLSIは、従来のように汎用LSIの隙間を埋める小規模なグルーロジックからシステム全体を1チップに集積する大規模なシステムLSIへと変わってきている。このようなシステムLSIでは、設計工数の増大を避けるために、従来のように専用回路を最初から設計していくのではなく、可能な限り汎用回路をマクロとして再利用し、最小限必要な回路のみを専用設計するという設計手法を取る場合が多い。

【0010】このような状況では回路設計上の自由度が制限されるため、LSI設計全体としては設計工数を削減できるが、タイミング設計に関しては従来以上に難しくなる場合が多い。また現在では、回路規模の増大に伴い、LSIの消費電力の増大がLSI設計におけるもう一つの大きな問題となっている。この問題を解決するために、しばしば回路に供給するクロックを動的に制御し、動作する回路にのみクロックを供給して、動作しない回路にはクロックの供給を止めるというアプローチが取られることが多い。こうした場合、回路ブロックごとに異なるクロックを供給することが必要になり、前述のクロックスキューの抑制はさらに困難になる。

【0011】以上述べたようなクロック設計の難しさは、半導体製造技術の微細化に伴うプロセスばらつきとの増大と合わさって、単に設計期間/工数の増大を招くだけでなく、設計ミスの増大につながり、試作したLSIの誤動作や動作マージン不足を引き起こす要因になる。本発明の目的は、以上述べたようなクロック設計上の課題を解決して、LSIの設計工数を削減できるとともに、クロック信号に係わるタイミングエラーを回避して誤動作を防止できる半導体集積回路を提供することである。

【0012】

【課題を解決するための手段】請求項1記載の半導体集積回路は、プロセッサコアと、可変な遅延値を持つ遅延回路を有するクロック信号線の駆動回路と、プロセッサコアにより遅延回路の遅延値を設定するためのデータが書き込まれるレジスタと、レジスタに書き込まれたデータに応じて遅延回路の遅延値を制御する制御回路とを備えている。

【0013】この構成によれば、プロセッサコアによりレジスタに書き込まれたデータに応じてクロック信号線の駆動回路中の遅延回路の遅延値を制御するようにしたことにより、クロック信号に係わるタイミングエラーを回避することができる。従って、従来のように回路修正／再試作を行う必要がなくなり、開発期間／工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0014】請求項2記載の半導体集積回路は、プロセッサコアと、可変な駆動能力を持つ出力バッファ回路を有するクロック信号線の駆動回路と、プロセッサコアにより出力バッファ回路の駆動能力を設定するためのデータが書き込まれるレジスタと、レジスタに書き込まれたデータに応じて出力バッファ回路の駆動能力を制御する制御回路とを備えている。

【0015】この構成によれば、プロセッサコアによりレジスタに書き込まれたデータに応じてクロック信号線の駆動回路中の出力バッファ回路の駆動能力を制御するようにしたことにより、クロック信号に係わるタイミングエラーを回避することができる。従って、従来のように回路修正／再試作を行う必要がなくなり、開発期間／工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0016】請求項3記載の半導体集積回路は、請求項1または請求項2記載の半導体集積回路において、プロセッサコアが実行可能な命令コードからなるソフトウェアをプロセッサコアに実行させることにより、レジスタにデータを書き込むことを特徴とする。この構成によれば、ソフトウェアによる高度なプログラムに基づいてクロック信号線の遅延を制御することにより、高精度なタイミング調整が可能になる。

【0017】請求項4記載の半導体集積回路は、請求項1記載の半導体集積回路において、所定回路のタイミングをテストするテスト用ソフトウェアと、このテスト用ソフトウェアを実行したテスト結果に基づいて遅延回路の遅延値を制御するための駆動回路制御用ソフトウェアとを記憶するメモリを設け、プロセッサコアがテスト用ソフトウェアおよび駆動回路制御用ソフトウェアを実行するようしたことを特徴とする。

【0018】この構成によれば、チップ上に搭載しているメモリに記憶したテスト用ソフトウェアをプロセッサコアが実行し、そのテスト結果に基づいてメモリ上に記憶した駆動回路制御用ソフトウェアを実行して遅延回路の遅延値の制御によりクロック信号線の遅延を制御することにより、自立的で回路動作中にも実行可能な実時間性を持ったタイミング調整を実現できる。

【0019】請求項5記載の半導体集積回路は、請求項2記載の半導体集積回路において、所定回路のタイミングをテストするテスト用ソフトウェアと、このテスト用ソフトウェアを実行したテスト結果に基づいて出力バッファ回路の駆動能力を制御するための駆動回路制御用ソフトウェアとを記憶するメモリを設け、プロセッサコアがテスト用ソフトウェアおよび駆動回路制御用ソフトウェアを実行するようしたことを特徴とする。

【0020】この構成によれば、チップ上に搭載しているメモリに記憶したテスト用ソフトウェアをプロセッサコアが実行し、そのテスト結果に基づいてメモリ上に記憶した駆動回路制御用ソフトウェアを実行して出力バッファ回路の駆動能力の制御によりクロック信号線の遅延を制御することにより、自立的で回路動作中にも実行可能な実時間性を持ったタイミング調整を実現できる。

【0021】請求項6記載の半導体集積回路は、可変な遅延値を持つ遅延回路を有するクロック信号線の駆動回路と、複数の回路ブロックに含まれるフリップフロップにそれぞれ入力されるクロック信号間のスキューを検出するクロックスキュー検出回路と、クロックスキュー検出回路の検出するクロック信号間のスキューに応じて遅延回路の遅延値を制御する制御回路とを備えている。

【0022】この構成によれば、クロックスキュー検出回路により、複数の回路ブロックに含まれるフリップフロップにそれぞれ入力されるクロック信号間のスキューを検出し、その検出したクロック信号間のスキューに応じてクロック信号線の駆動回路中の遅延回路の遅延値を制御するようにしたことにより、クロック信号に係わるタイミングエラーを回避することができる。従って、従来のように回路修正／再試作を行う必要がなくなり、開発期間／工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0023】請求項7記載の半導体集積回路は、可変な駆動能力を持つ出力バッファ回路を有するクロック信号線の駆動回路と、複数の回路ブロックに含まれるフリップフロップにそれぞれ入力されるクロック信号間のスキューを検出するクロックスキュー検出回路と、クロックスキュー検出回路の検出するクロック信号間のスキューに応じて出力バッファ回路の駆動能力を制御する制御回路とを備えている。

【0024】この構成によれば、クロックスキュー検出

回路により、複数の回路ブロックに含まれるフリップフロップにそれぞれ入力されるクロック信号間のスキューを検出し、その検出したクロック信号間のスキューに応じてクロック信号線の駆動回路中の出力バッファ回路の駆動能力を制御するようにしたことにより、クロック信号に係わるタイミングエラーを回避することができる。従って、従来のように回路修正/再試作を行う必要がなくなり、開発期間/工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0025】請求項8記載の半導体集積回路は、請求項6または請求項7記載の半導体集積回路において、クロックスキュー検出回路は、複数の回路ブロックのうち第1の回路ブロックに設けられ、第1の回路ブロックに含まれる他のフリップフロップに入力されるクロック信号と同位相のクロック信号を入力する第1のテスト用フリップフロップと、複数の回路ブロックのうち第1の回路ブロックの出力信号を入力する第2の回路ブロックに設けられ、第2の回路ブロックに含まれる他のフリップフロップに入力されるクロック信号と同位相のクロック信号を入力するとともに第1のテスト用フリップフロップの出力データを入力データとする第2のテスト用フリップフロップと、第1のテスト用フリップフロップヘデータを出力するデータ発生回路と、第1のテスト用フリップフロップの出力データと第2のテスト用フリップフロップの出力データとを用いて第1のテスト用フリップフロップと第2のテスト用フリップフロップとに入力されるクロック信号間のスキューを検出するデータ解析回路とからなることを特徴とする。

【0026】このように、クロックスキュー検出回路を構成すればよい。請求項9記載の半導体集積回路は、可変な遅延値を持つ遅延回路を有するクロック信号線の駆動回路と、プロセス変動や使用時における電源電圧変動や温度変化を反映した標準遅延値を検出する遅延評価回路と、遅延評価回路の検出する標準遅延値に応じて遅延回路の遅延値を制御する制御回路とを備えている。

【0027】この構成によれば、遅延評価回路により、プロセス変動や使用時における電源電圧変動や温度変化を反映した標準遅延値を検出し、その検出した標準遅延値に応じてクロック信号線の駆動回路中の遅延回路の遅延値を制御するようにしたことにより、クロック信号に係わるタイミングエラーを回避することができる。従って、従来のように回路修正/再試作を行う必要がなくなり、開発期間/工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0028】請求項10記載の半導体集積回路は、可変な駆動能力を持つ出力バッファ回路を有するクロック信号線の駆動回路と、プロセス変動や使用時における電源電圧変動や温度変化を反映した標準遅延値を検出する遅延評価回路と、遅延評価回路の検出する標準遅延値に応じて出力バッファ回路の駆動能力を制御する制御回路とを備えている。

【0029】この構成によれば、遅延評価回路により、プロセス変動や使用時における電源電圧変動や温度変化を反映した標準遅延値を検出し、その検出した標準遅延値に応じてクロック信号線の駆動回路中の出力バッファ回路の駆動能力を制御するようにしたことにより、クロック信号に係わるタイミングエラーを回避することができる。従って、従来のように回路修正/再試作を行う必要がなくなり、開発期間/工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0030】請求項11記載の半導体集積回路は、請求項9または請求項10記載の半導体集積回路において、遅延評価回路は、遅延値が異なる複数の遅延回路と、各遅延回路ヘデータを出力するデータ発生回路と、各遅延回路の出力データを用いてプロセス変動や使用時における電源電圧変動や温度変化を反映した標準遅延値を検出するデータ解析回路とからなることを特徴とする。

【0031】このように、遅延評価回路を構成すればよい。

【0032】

【発明の実施の形態】以下、本発明の実施の形態について図面に基づいて説明する。

〔第1の実施の形態〕図1は本発明の第1の実施の形態の半導体集積回路の構成図である。図中、1はクロック原信号生成回路であり、LSIに接続される水晶発振器が出力する発振信号を整形し、必要に応じて周波数を通信倍するなどしてクロックの原信号を生成する。2は遅延手段である。この遅延手段2は、図に示すように、インバータ回路を複数段接続した構成であり、インバータ回路2段毎に信号を出力しており、この各々の出力が、入力されるクロック原信号を異なった時間だけ遅延させた信号になっている。もちろん、ここで示した遅延手段2以外にも様々な遅延手段の例を考えることができ、本発明はそれらも含んでいることは言うまでもない。3は選択回路であり、遅延手段2の複数の出力信号の中から1つを選択して出力することにより、クロック信号線5の遅延値を変更することができるようになっている。2Aは前述の遅延手段2および選択回路3からなる遅延回路であり、入力されるクロック原信号を遅延させて出力し、その遅延時間を変更できるものである。

【0033】4は出力バッファ回路である。出力バッファ

ァ回路4の出力はチップ上の特定ブロックにクロックを供給するクロック信号線5であるが、通常、クロック信号線5はブロック間を長い距離配線されるので、負荷容量および抵抗値が大きくなってしまふ。そのため、出力バッファ回路4には負荷に相当する大きさの駆動能力を持たせないとクロック信号が訛ってしまい、その結果、クロックスキューが大きくなってしまふ。また、出力バッファ回路4の駆動能力を変えることにより、クロック信号線5の遅延値を調整することができる。本実施の形態における出力バッファ回路4は、複数の3ステートバッファ4a、4b、4cを並列に接続した構成になっており、同時にオンさせる3ステートバッファの個数を変更することで、クロック信号線5に対する駆動能力を変更することができるようになっている。なお、出力バッファ回路4内の3ステートバッファの個数は3個に限定されるものではなく、クロック信号線5の遅延値を調整するのに十分な複数個であればよい。

【0034】6はCPUである。CPU6はシステムLSIに搭載されるプロセッサコアとしては最も一般的なものであり、通常、汎用の命令セットを持ち、この命令セットに含まれる命令を用いて作成されたソフトウェアを順次実行することにより、様々な応用に対応した信号処理を実現することができる。7はメモリである。メモリ7は比較的大規模な記憶装置であり、前記ソフトウェアや信号処理を行う上での中間データなどを記憶させるのに用いる。本実施の形態では、メモリ7に格納されるソフトウェアとして、タイミングテストプログラム11と駆動回路制御プログラム12を含んでいることが特徴である。

【0035】8はレジスタである。レジスタ8も記憶装置の一種であるが、メモリ7と比べると記憶容量が小さく、特定のデータを記憶するのに用いられる。本実施の形態では、選択回路3の機能や出力バッファ回路4の能力を選択するためのデータを記憶させるのに用いている。9はランダムロジック（制御回路）であり、レジスタ8に格納されたデータをデコードして選択回路3や出力バッファ回路4の制御信号を出力する。

【0036】13および15もレジスタである。レジスタ13にはクロック14が入力される。また、レジスタ15にはクロック16が入力される。各レジスタ13、15はそれぞれに入力されるクロック14、16の立ち上がりエッジに同期してデータを取り込む。17は被テスト回路である。現在主流となっている同期設計では、組み合わせ回路からなる被テスト回路17はレジスタ13からのデータを受けて、何らかの処理を加えた後、レジスタ15にデータを書き込むことを行う。本実施の形態で、被テスト回路17になるのは、チップ上でタイミング的に厳しい部分である。これらの被テスト回路17は回路設計段階で見つけ出すことができる。なお、被テスト回路17は、半導体集積回路の主要回路のうちの一

部として存在するが、レジスタ13、15は半導体集積回路の主要回路のうちの一部として存在するものを用いる場合もあるし、テスト専用として設ける場合もある。

【0037】CPU6とメモリ7やレジスタ8、レジスタ13、レジスタ15はバス信号線10により相互に接続されている。本実施の形態では直接関係しないので記述していないが、通常はそれ以外にも複数の周辺回路がバス信号線10に接続されることが多い。また、メモリ7と同じくレジスタ8、レジスタ13、レジスタ15にもアドレスが割り振られているので、CPU6はメモリ7にデータを記憶させるのと全く同じようにして、ソフトウェアを実行する中でレジスタ8、レジスタ13、レジスタ15にデータを記憶させることができる。

【0038】なお、クロック原信号生成回路1はチップ上に複数設けてあってもよいが、ここでは、1個設けてあるものとする。クロック原信号生成回路1からは複数のクロック原信号が出力され、各々のクロック原信号はそれぞれの駆動回路を通して異なるクロック信号として各回路ブロックへ供給される。図1では、1つのクロック信号（クロック信号線5のクロック信号）の駆動回路として、遅延回路2Aと出力バッファ回路4とを有し、それらを制御するためにレジスタ8およびランダムロジック9を設けている。なお、他のクロック信号については、上記のクロック信号線5のクロック信号と同様に遅延調整機能を持つ駆動回路（遅延回路2A、出力バッファ回路4）やレジスタ8およびランダムロジック9を設けてあってもよいし、あるクロック信号については、遅延調整機能を持たない構成の駆動回路としてもよい。

【0039】また、本実施の形態において、クロック16はクロック信号線5から供給されるクロック信号であり、クロック14は図示しない他のクロック信号線から供給されるクロック信号であるとする。上記のような構成を持つ本実施の形態の半導体集積回路におけるクロック調整は、図2に示す設計フローにより実現できる。

【0040】本実施の形態の半導体集積回路（LSI）のレイアウト設計において、各ブロックのレイアウトとクロック信号線5を含むブロック間配線のレイアウトが決まった段階（ステップ61）で、ブロック内部のクロック遅延値（各ブロックのクロック入力端子からフリップフロップのクロック端子に至る経路の遅延値）とクロック信号線5の負荷容量および抵抗値とをレイアウトデータから見積る（ステップ62）。これらの見積り値に基づいて、クロック原信号生成回路1の出力から各ブロックのフリップフロップのクロック端子に至る経路の遅延値が全てのブロック間で一定値に揃うように、クロック原信号生成回路1の出力からクロック信号線5までの目標遅延値を逆算して求める（ステップ63）。

【0041】次にステップ64で、SPICEシミュレーション等の方法を用いて、クロック信号線5の遅延値が上記で算出した適切な値（目標遅延値）になるよう

に、遅延回路2Aの遅延値および出力バッファ回路4の駆動能力を合わせ込む。ここまでは本実施の形態でも従来方法でも同じである。しかし、本実施の形態では、この段階で従来のように、チップのレイアウトを修正してクロックの遅延値を調整することは行わない。その代わり、それを実現するようにレジスタ8の初期値を決める。従って、従来のレイアウト修正に要していた設計時間/工数を削減することができる。

【0042】その後、LSIを製造して(ステップ65)、テスターで評価するに際して、LSIのリセット後ただちに、CPU6がLSI初期化処理の一環として、あらかじめ求めていた初期値をレジスタ8に設定する。次に、CPU6がメモリ7に蓄積されているタイミングテストプログラム11を実行してチップの評価を行う(ステップ66)。ここで問題がなければ、チップの正常動作が確認できるはずである。しかしながら、もしもチップの設計時に行った遅延値の見積りが誤っていたり、精度的に不十分であった場合には、テストの結果、タイミングエラーのために、チップが誤動作するということが判明する場合もある。

【0043】もしもそうなった場合には、従来の設計方法だと、クロック信号線駆動回路のレイアウトを再修正して、クロックスキューを合わせ込むことが必要になり、LSI開発スケジュールを大幅に遅らせる結果になる。しかしながら、本実施の形態では、ステップ67で、CPU6がメモリ7内の駆動回路制御プログラム12を実行して、レジスタ8に設定する値(遅延回路2Aの遅延値、出力バッファ回路4の駆動能力を設定するためのデータ)を変更するだけで、チップの誤動作を解決することができ、ここでもLSI開発期間/工数の大幅な短縮を実現している。

【0044】次に、ステップ66のタイミングテストおよびステップ67の駆動回路制御について、図3のフロー図を用いてより詳しく説明する。タイミングテスト66は、あるクロックサイクルでCPU6が被テスト回路17の入力レジスタ13にテストデータを書きこむことから始まる(ステップ71)。次のクロックの立ち上がりにより同期してレジスタ13は入力データを取り込む。被テスト回路17はこの入力データと回路の論理によって決まる出力データがある遅延時間後に出力レジスタ15に対して出力する。

【0045】次のクロックの立ち上がりにより同期して被テスト回路17の出力データはレジスタ15に取り込まれる。この時、もしもタイミングエラーがなければ、レジスタ15には正しい出力データが取り込まれるが、もしもクロック14とクロック16間にスキューがあつてクロック16がクロック14に対して遅れているような場合には、レジスタ15には誤ったデータが格納されることになる。

【0046】次のクロックサイクルでCPU6はレジス

タ15から出力データを読み出し、一旦CPU6内部の汎用レジスタに格納しておく(ステップ72)。次にCPU6は、あらかじめ計算してタイミングテストプログラム11の中に含まれている正しいデータをメモリ7から読み出して、前記出力データと比較する(ステップ73)。比較の結果が一致していればタイミングエラーはないということでプログラムは終了する。

【0047】比較の結果が一致していない場合には、駆動回路制御67(図2)を行う。まず、出力データの誤りを分析する(ステップ74)。多くの回路ではスキュー時間と出力データの間に相関があるので、誤り方を分析することにより、スキュー時間を逆算することができる。次に、駆動回路制御プログラム12に含まれるデータを用いて、スキュー時間を補正するようにクロック16を早める駆動回路の新しい設定値を逆算する(ステップ75)。最後に、CPU6はクロック16を供給するクロック信号線5の駆動回路に対応するレジスタ8に新しい設定値を書き込む(ステップ76)。その結果、クロック16のタイミングが速くなるため、クロック14との間のスキューはなくなり、タイミングエラーは解消される。

【0048】以上のように本実施の形態によれば、CPU6によりレジスタ8に書き込まれたデータに応じてクロック信号線5の駆動回路を制御する、すなわち遅延回路2Aの遅延値および出力バッファ回路4の駆動能力を制御するようにしたことにより、クロック信号に係わるタイミングエラーを回避することができる。従って、従来のように回路修正/再試作を行う必要がなくなり、開発期間/工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0049】また、本実施の形態では、遅延調整機能を持つ遅延回路2Aおよび出力バッファ回路4を設け、その両方を制御するようにしたが、遅延回路2Aおよび出力バッファ回路4のうち一方のみを設けて制御するようにしてもよく、その場合、構成および制御が簡単になる。また、本実施の形態では、例えば出力バッファ回路4の調整を主とし、それで調整できないときのみ遅延回路2Aにより調整するようにしてもよい。なお、遅延回路2Aおよび出力バッファ回路4のうち一方のみを設ける場合に比べ、本実施の形態のように両方設けた方が、遅延調整能力は増加するが制御および構成が複雑になる。

【0050】なお、本実施の形態では、タイミングエラーの例としてクロックスキューの問題を取り上げたが、それ以外にもクロックに係わる様々なタイミングの問題があり、それらに対しても本発明は有効である。例えば、被テスト回路17の遅延時間がクロックサイクル時間よりも大きい場合には、やはりレジスタ15は正しい

データを取り込めないでタイミングエラーが起こることになる。このような場合には、逆にクロック16を遅らせて、わざとクロック14との間にスキューをつくることによりタイミングエラーを解消することが可能である。

【0051】なお、遅延回路2Aの遅延値の制御によりクロック信号線5のクロック16のタイミングを速める場合には、選択回路3が、遅延手段2からの複数の入力のうち、クロック原信号生成回路1側に近い入力を選択するように、選択回路3を制御すればよいし、クロック信号線5のクロック16のタイミングを遅らせる場合には、選択回路3が、遅延手段2からの複数の入力のうち、クロック原信号生成回路1側から遠い入力を選択するように、選択回路3を制御すればよい。

【0052】また、出力バッファ回路4の駆動能力の制御によりクロック信号線5のクロック16のタイミングを速める場合には、3ステートバッファ4a、4b、4cの制御入力をイネーブルに設定するものの数を増やせばよい。これは、オンする3ステートバッファの数が増えたと出力バッファ回路4の駆動能力が大きくなり、クロック信号を高速に駆動できるようになるためである。逆に、クロック信号線5のクロック16のタイミングを遅らせる場合には、3ステートバッファ4a、4b、4cの制御入力をイネーブルに設定するものの数を減らせばよい。

【0053】また、本実施の形態では、被テスト回路17の入力レジスタ13と出力レジスタ15がともにバス信号線10に接続され、CPU6から直接読み書きできるような構成になっているが、必ずしもそうである必要はない。ただし、その場合にはテストデータをレジスタ13に書き込み、レジスタ15から結果データを読み出すのに、より複雑なシーケンスが必要になる。

【0054】また、レジスタ13やレジスタ15はより大規模なメモリであってもよい。

〔第2の実施の形態〕次に、本発明の第2の実施の形態について以下に説明する。図4は本発明の第2の実施の形態の半導体集積回路の構成図である。図4において、クロック原信号生成回路1、遅延手段2、選択回路3、出力バッファ回路4、クロック信号線5については、第1の実施の形態と基本的に同じであるため、説明を省略する。

【0055】本実施の形態においては、第1の実施の形態とは異なり、クロック信号線5の駆動回路（遅延回路2A、出力バッファ回路4）は、ランダムロジック44を介してクロックスキュー検出回路53が出力するデータにより制御される。以下、クロックスキュー検出回路53について詳しく説明する。クロックスキュー検出回路53は、データ発生回路45、テスト用のフリップフロップ46、テスト用のフリップフロップ49およびデータ解析回路52等から構成される。データ発生回路4

5の出力はフリップフロップ46に入力され、フリップフロップ46の出力はフリップフロップ49およびデータ解析回路52に入力されている。また、フリップフロップ49の出力はデータ解析回路52に入力されている。

【0056】テスト用のフリップフロップ46は回路ブロック48に含まれてレイアウトされ、テスト用のフリップフロップ49は回路ブロック51に含まれてレイアウトされている。なお、回路ブロック48、51のそれぞれには、主要回路を構成する図示しないフリップフロップ（以下「他のフリップフロップ」という）が複数個レイアウトされており、回路ブロック48中のフリップフロップ46および他のフリップフロップには同一（同位相）のクロック47が入力され、回路ブロック51中のフリップフロップ49および他のフリップフロップには同一（同位相）のクロック50が入力される。回路ブロック48、51のそれぞれのブロック内に含まれる他のフリップフロップ間ではクロックスキューが十分小さくなるようにクロックバッファの構成やサイズが調整されている。

【0057】図5にクロックスキュー検出回路53の構成例を示す。データ発生回路45はクロックサイクル毎に変化する1ビットの信号を生成する回路であり、例えば図5に示すように、フリップフロップ46の出力を反転させるインバータ素子81を用いて構成することができる。この例では、データ発生回路45であるインバータ素子81が回路ブロック48に含まれてレイアウトされている。フリップフロップ46にはクロック47に同期して、各クロックサイクル毎に前サイクルとは異なる値がラッチされる。

【0058】フリップフロップ46の出力はフリップフロップ49に入力される。この配線はブロック48、51間をほぼ最短距離で結ぶようにレイアウトし、フリップフロップ46、49間の信号遅延が小さくなるようにする。このパス遅延値が、回路ブロック48に含まれる他の全フリップフロップから回路ブロック51に含まれる他の全フリップフロップに至る全ての信号パスの遅延値よりも小さくなるように、フリップフロップ46の駆動能力を選択する。

【0059】フリップフロップ49はクロック50に同期してフリップフロップ46の出力をラッチする。この時、クロック47とクロック50間のスキューが十分小さい場合には、フリップフロップ49には前サイクルにフリップフロップ46にラッチされた値が正しくラッチされることになる。従って、同一サイクルではフリップフロップ46とフリップフロップ49に異なる値が保持されることになる。

【0060】しかし、クロック50の立ち上がり時間がクロック47の立ち上がりに対してある遅延値以上遅れると、クロック47の立ち上がりに同期してフリップフロ

ップ46にラッチされた値が伝搬してフリップフロップ49まで到達した後でクロック50が立ち上がり、そのままフリップフロップ49にラッチされることになる。このように、タイミングエラーが起こると、同一サイクルでフリップフロップ46とフリップフロップ49に同じ値が保持されることになる。

【0061】また、データ解析回路52は、フリップフロップ46とフリップフロップ49に保持される値を比較する回路であり、例えば図5に示すように、フリップフロップ46の出力とフリップフロップ49の出力とを入力するEXNOR（排他的論理和の否定）素子82を用いて構成することができる。この例では、データ解析回路52であるEXNOR素子82が回路ブロック51に含まれてレイアウトされている。EXNOR素子82は、フリップフロップ46の出力とフリップフロップ49の出力とが一致していれば値1を、異なっていれば値0をクロックスキュー検出信号83として出力する。このクロックスキュー検出信号83の値が1のときにはクロックスキューによるタイミングエラーが起こっており、0のときにはタイミングエラーは起こっていない。

【0062】ブロック48およびブロック51の内部ではクロックスキューが小さく抑えられており、ブロック48に含まれる他のフリップフロップとブロック51に含まれる他のフリップフロップとの間のパス遅延は、フリップフロップ46とフリップフロップ49間の信号遅延よりも大きい。フリップフロップ49でクロックスキューによるタイミングエラーが起こらないならば、ブロック51に含まれる全ての他のフリップフロップで同様にエラーが起こらないと考えてよい。

【0063】ランダムロジック44は、クロックスキュー検出回路53の出力であるクロックスキュー検出信号83を受けて選択回路3や出力バッファ回路4の制御信号を出力する。つぎに、ランダムロジック44およびクロック信号線5の駆動回路について説明する。なお、図4ではクロック信号線5の駆動回路として、遅延回路2Aおよび出力バッファ回路4を設けた構成としているが、第1の実施の形態でも説明したように、遅延回路2Aおよび出力バッファ回路4の両方を設けた場合には制御および構成が複雑になるため、以下では、遅延回路2Aおよび出力バッファ回路4のうち一方ずつを設けた2つの場合について説明する。

【0064】第1の場合として、図4の構成において遅延回路2Aを設けていない場合、すなわちクロック信号線5の駆動回路として出力バッファ回路4のみを設けた場合について説明する。この場合のランダムロジック44およびクロック信号線5の駆動回路の一例を図6に示す。クロック原信号生成回路1から出力されたクロック原信号91が、バッファ回路94および3ステートバッファ95からなる出力バッファ回路4Aに入力されている。出力バッファ回路4Aの出力線であるクロック信号

線5が回路ブロック51に接続されている。したがって、回路ブロック51のクロック50（図5）はクロック信号線5から供給されるクロック信号である。また、クロック93および回路ブロック48のクロック47（図5）は図示しない他のクロック信号線から供給されるクロック信号であり、クロック93には遅延調整は必要なく、クロック47には遅延調整が存在する場合も存在しない場合もある。

【0065】ランダムロジック44は、入力するクロック93を反転させるインバータ回路98と、AND（論理積）回路99と、シフトレジスタを構成する複数のフリップフロップ97で構成されている。シフトレジスタを構成する先頭のフリップフロップ97には論理値「1」を入力する。また、クロックスキュー検出信号83とクロック93の反転信号との論理積をフリップフロップ97のクロックとして入力する。フリップフロップ97のリセット入力にはリセット信号92を入力する。フリップフロップ97のそれぞれの出力は対応する3ステートバッファ95の制御入力に接続している。

【0066】なお、この図6の出力バッファ回路4Aでは、3ステートバッファではないバッファ回路94が存在することが、図4に示した出力バッファ回路4とは異なるが、バッファ回路94を3ステートバッファに置き換え、ランダムロジック44から常にオン状態に制御する（例えば、先頭のフリップフロップ97に入力される論理値「1」を、置き換えた3ステートバッファの制御入力に接続する）ことにより、図4の出力バッファ回路4と同様の構成となる。

【0067】さて、LSIのリセット直後には、全てのフリップフロップ97はリセットされて論理値「0」を保持している。その状態では3ステートバッファ95は全てオフしており、ブロック51に供給されるクロック信号線5はバッファ回路94のみによって駆動される。この時、もしもクロックスキューによるタイミングエラーが起こっていないならば、クロックスキュー検出信号83は論理値「0」になり、フリップフロップ97にはクロックが入力されない。

【0068】逆にタイミングエラーが起こっている場合には、クロックスキュー検出信号83は論理値「1」となり、フリップフロップ97にクロックが入力される。その結果、先頭のフリップフロップ97は論理値「1」を保持するようになり、対応する3ステートバッファ95がオンする。その結果、クロック信号線5はより高速に駆動されるようになり、クロックスキューは改善される。これを繰り返してクロックスキューが十分小さくなり、タイミングエラーを起こさなくなった時点で、フリップフロップ97のシフト動作がストップし、クロックバッファの駆動能力が固定される。

【0069】つぎに第2の場合として、図4の構成において出力バッファ回路4を設けていない場合、すなわち

クロック信号線5の駆動回路として遅延回路2Aのみを設けた場合について説明する。この場合のランダムロジック44およびクロック信号線5の駆動回路の一例を図7に示す。クロック原信号生成回路1から出力されたクロック原信号91が遅延回路2Aに入力され、遅延回路2Aの出力線であるクロック信号線5が回路ブロック51に接続されている。遅延回路2Aは、複数のインバータ回路(120, 121を含む)からなる遅延手段2と、遅延手段2の出力とランダムロジック44の出力とをそれぞれ入力するAND(論理積)回路122, 123, …… , 124およびOR(論理和)回路125からなる選択回路3とで構成されている。

【0070】また、この図7のランダムロジック44は、図6のランダムロジック44の構成にインバータ回路126, 127およびAND回路128(図示しない省略したものを含む)を付加した構成となっている。この図7の場合、LSIのリセット直後には、全てのフリップフロップ97はリセットされて論理値「0」に設定される。この状態では選択回路3のAND回路122に入力されるインバータ回路126の出力が論理値「1」となり、遅延手段2の出力のうち最大に遅延されたインバータ回路121の出力がAND回路122により選択され、OR回路125を通してクロック信号線5に出力される。この時、もしもクロックスキューによるタイミングエラーが起こっていないならば、クロックスキュー検出信号83は論理値「0」になり、フリップフロップ97にはクロックが入力されない。

【0071】逆にタイミングエラーが起こっている場合には、クロックスキュー検出信号83は論理値「1」となり、フリップフロップ97にクロックが入力される。その結果、先頭のフリップフロップ97に論理値「1」が設定され、今度は選択回路3のAND回路123に入力されるAND回路128の出力が論理値「1」となり、インバータ回路120の出力がAND回路123により選択され、OR回路125を通してクロック信号線5に出力される。このときのクロック信号線5のクロックは、前述のインバータ回路121の出力が選択されたときのクロックよりも高速であるので、クロックスキューが改善される。

【0072】以上の動作を繰り返して順番により高速なクロックを選択することにより、クロックスキューを十分小さくしてタイミングエラーを回避することができる。なお、タイミングエラーを起こさなくなった時点で、フリップフロップ97のシフト動作がストップする。以上のように本実施の形態によれば、クロックスキュー検出回路53により、回路ブロック48, 51内に設けたテスト用のフリップフロップ46, 49に入力されるクロック信号47, 50間のスキューを検出し、その検出したクロック信号間のスキューに応じてクロック信号線5の駆動回路を制御するようにしたことにより、

クロック信号に係わるタイミングエラーを回避することができる。従って、従来のように回路修正/再試作を行う必要がなくなり、開発期間/工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0073】なお、本実施の形態では、フリップフロップ46とフリップフロップ49間はゲートを介さずに配線で直結しているが、これは必ずしもそうである必要はない。また、データ発生回路45やデータ解析回路52、ランダムロジック44は本実施の形態で例示したもの以外にも様々な回路を考えることができる。

〔第3の実施の形態〕次に、本発明の第3の実施の形態について以下に説明する。

【0074】図8は本発明の第3の実施の形態の半導体集積回路の構成図である。図8において、クロック原信号生成回路1、遅延手段2、選択回路3、出力バッファ回路4、クロック信号線5については、第1の実施の形態と基本的に同じであるため、説明を省略する。本実施の形態においては、第1の実施の形態や第2の実施の形態とは異なり、クロック信号線5の駆動回路(遅延回路2A, 出力バッファ回路4)は、ランダムロジック23を介して遅延評価回路34が出力するデータにより制御される。

【0075】以下、遅延評価回路34について詳しく説明する。遅延評価回路34は、データ発生回路24、フリップフロップ25、フリップフロップ30、インバータ素子26、抵抗素子27、容量素子28およびデータ解析回路33から構成される。遅延評価回路34の例を図9に示す。データ発生回路24としては、例えば図9に示すようにフリップフロップ25の出力をインバータ素子101で反転させて入力にフィードバックさせた回路を用いることができる。データ発生回路24から出力された信号は、クロック35に同期して、フリップフロップ25にラッチされる。各フリップフロップ25からの信号は、インバータ素子26、抵抗素子27、容量素子28を順番に並べたそれぞれのインバータチェーン102, 105, 108を通過する内に、インバータ素子26の駆動能力、抵抗素子27の抵抗値、容量素子28の容量値によって決まるある時間だけ遅延して、それぞれのフリップフロップ30に到達する。それぞれのインバータチェーン102, 105, 108とフリップフロップ25とフリップフロップ30とで1本の遅延パスを構成する。各フリップフロップ30もクロック35に同期して信号をラッチするので、もしも信号が各インバータチェーン102, 105, 108を通過して各フリップフロップ30まで到達するのに要する遅延時間がクロック35のサイクル時間よりも小さければ、フリップフロップ30は1サイクル前にフリップフロップ25にラ

ッチされたデータをラッチすることができる。逆に、遅延時間がクロック35のサイクル時間よりも大きければ、フリップフロップ30は1サイクル前にフリップフロップ25にラッチされたデータをラッチすることができない。データ解析回路33によりデータが正しくフリップフロップ30にラッチできたかどうかを判定する。本実施の形態では、データ解析回路33としては、例えば図9に示すように、各フリップフロップ25と各フリップフロップ30の出力を入力とするEXNOR素子103、106、109を用いて構成している。

【0076】遅延評価回路34には、前述の遅延パスが複数本設けてあり、各々の遅延パスのインバータチェーン102、105、108はインバータの段数がそれぞれ異なって構成されている。そのため各々の遅延パスでフリップフロップ25、30間の遅延時間が異なるために、複数の遅延パスはデータが正しくラッチできるものと失敗するものとに分かれるが、その境界の遅延パスの遅延値がクロック35のサイクル時間におおむね一致する。

【0077】各遅延パスにはチップ設計時にSPICEシミュレーションにより求めた遅延値が分かっており、両者の違いが設計時に想定した遅延と現在のチップ上の遅延の差を表している。これらの違いの原因としては、設計時に用いた回路パラメータと現実のデバイスとの違いや、製造工程上のばらつき、あるいは、チップの温度や電源電圧の違いといったことが考えられる。しかし、いずれの要因もチップ上では均一に作用すると考えられるので、遅延評価回路34の遅延値が設計値からはずれているということは、チップ上の他の回路の遅延値も同様にずれていると考えてよい。すなわち、遅延評価回路34の遅延値を標準遅延値として、その設計値からのずれに基づいてクロック信号線5の駆動回路を制御することで、クロックに係わるタイミングエラーを自動的に回避することが可能である。なお、標準遅延値は、遅延評価回路34のインバータチェーンの遅延値のことであり、チップ上の他の回路の遅延値と連動しており、チップ全体の動作時の遅延値を代表するものであり、チップの動作状況が変われば標準遅延値も変化するが、それとは独立してクロック35のサイクルは一定である。

【0078】つぎに、遅延評価回路34によるクロック信号線5の駆動回路の制御について説明する。なお、図8ではクロック信号線5の駆動回路として、遅延回路2Aおよび出力バッファ回路4を設けた構成としているが、第1、第2の実施の形態でも説明したように、遅延回路2Aおよび出力バッファ回路4の両方を設けた場合には制御および構成が複雑になるため、以下では、遅延回路2Aおよび出力バッファ回路4のうち一方ずつを設けた2つの場合について説明する。

【0079】第1の場合として、図8の構成において遅延回路2Aを設けていない場合、すなわちクロック信号

線5の駆動回路として出力バッファ回路4のみを設けた場合について説明する。この場合の遅延評価回路34、ランダムロジック23およびクロック信号線5の駆動回路の一例を図9に示す。この例では、遅延評価回路34のそのままの出力により出力バッファ回路4を制御しており、EXNOR素子103、106、109の出力で直接3ステートバッファ4a、4b、4cを制御している。クロック原信号生成回路1から出力されたクロック原信号91が、出力バッファ回路4に入力されている。出力バッファ回路4の出力であるクロック信号線5は図示しない回路ブロックに接続されている。なお、クロック35はクロック原信号生成回路1から供給されている。

【0080】LSI設計時には、インバータチェーン105を含む遅延パスがクロック35のサイクル時間に一致するようにインバータの段数を調整しておく。インバータチェーン102はインバータチェーン105よりもインバータが2段多く、そのため遅延時間はクロック35のサイクル時間を越えてしまう。インバータチェーン108は逆にインバータチェーン105よりもインバータが2段少ない。このような状況では、EXNOR素子103は論理値「1」を出力し、EXNOR素子106とEXNOR素子109は論理値「0」を出力する。従って、3ステートバッファ4aのみがオンとなり、3ステートバッファ4bと3ステートバッファ4cはオフになっている。結局、1個のバッファでクロック信号線5を駆動することになる。

【0081】ところが、このLSIが製造された後、実際に使用された状況では、チップの遅延値が設計時に想定していた遅延値よりも少し大きくなっていくとすると、インバータチェーン105を含む遅延パスの遅延もクロック35のサイクル時間よりも大きくなることになる。この時にはEXNOR素子103とEXNOR素子106が論理値「1」を出力し、EXNOR素子109は論理値「0」を出力する。従って、3ステートバッファ4aと3ステートバッファ4bがオンとなり、3ステートバッファ4cはオフになる。そのため、2個のバッファでクロック信号線5を駆動することになり、バッファが1個の場合よりも高速にクロック信号線5を駆動することができる。結局、チップ全体の遅延値の増大に伴ってクロック遅延も増大しようとするのを、クロックバッファを強化することにより補償できたことになる。

【0082】つぎに第2の場合として、図8の構成において出力バッファ回路4を設けていない場合、すなわちクロック信号線5の駆動回路として遅延回路2Aのみを設けた場合について説明する。この場合の遅延評価回路34（図9と同じ構成）、ランダムロジック23およびクロック信号線5の駆動回路の一例を図10に示す。この例では、クロック原信号生成回路1から出力されたクロック原信号91が遅延回路2Aに入力され、遅延回路

2Aの出力線であるクロック信号線5が図示しない回路ブロックに接続されている。遅延回路2Aは、複数のインバータ回路(130, 131, 132を含む)からなる遅延手段2と、遅延手段2の出力とランダムロジック23の出力とをそれぞれ入力するAND(論理積)回路138~141およびOR(論理和)回路142からなる選択回路3とで構成されている。

【0083】また、この図10のランダムロジック23は、インバータ回路133, 135, 137およびAND回路134, 136から構成されている。この図10の場合、LSI設計時に、前述した図9の場合と同様、遅延評価回路34のインバータチェーン102, 105, 108のインバータの段数を調整しておくことにより、EXNOR素子103は論理値「1」を出力し、EXNOR素子106とEXNOR素子109は論理値「0」を出力する。このとき、AND回路139に入力されるAND回路134の出力が論理値「1」となり、インバータ回路131の出力がAND回路139により選択され、OR回路142を通過してクロック信号線5に出力される。

【0084】ところが、このLSIが製造された後、実際に使用された状況では、チップの遅延値が設計時に想定していた遅延値よりも少し大きくなっていくとすると、インバータチェーン105を含む遅延パスの遅延もクロック35のサイクル時間よりも大きくなることになる。この時にはEXNOR素子103とEXNOR素子106が論理値「1」を出力し、EXNOR素子109は論理値「0」を出力する。このとき、AND回路140に入力されるAND回路136の出力が論理値「1」となり、インバータ回路130の出力がAND回路140により選択され、OR回路142を通過してクロック信号線5に出力される。このときのクロック信号線5のクロックは、前述のインバータ回路131の出力が選択されたときのクロックよりも遅延が小さくなっているため、クロック信号線5の遅延の増大を補償することができる。また逆に、チップの遅延値が設計時に想定していた遅延値よりも小さくなっていった場合には、AND回路138に入力されるインバータ回路133の出力が論理値「1」となり、インバータ回路132の出力がAND回路138により選択され、OR回路142を通過してクロック信号線5に出力されるため、クロック信号線5の遅延の減少を補償することができ、タイミングエラーを回避することができる。

【0085】以上のように本実施の形態によれば、遅延評価回路34により、プロセス変動や使用時における電源電圧変動や温度変化を反映した標準遅延値を検出し、その検出した標準遅延値に応じてクロック信号線5の駆動回路(遅延回路2A, 出力バッファ回路4)を制御するようにしたことにより、クロック信号に係わるタイミングエラーを回避することができる。従って、従来のよ

うに回路修正/再試作を行う必要がなくなり、開発期間/工数を大幅に削減することが可能である。また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【0086】なお、本発明のクロック遅延を調整可能という特徴をより積極的に利用するならば、クロック信号線の駆動回路をハードマクロ化して複数のLSIで共通に使用することも可能である。この場合にはクロック信号線の駆動回路にあらかじめ遅延制御能力を実装しておく必要があるが、従来のようにチップ設計時にクロック信号線の駆動回路をカスタマイズする必要がなくなるため、設計期間/工数を削減することができる。

【0087】また、設計ミスがない場合でも、半導体製造上のばらつきは常に存在しており、チップ歩留まりを低下させる要因となっている。素子特性が標準値からはずれることにより、遅延値が想定した設計マージンを越えて回路が誤動作するような状況に対して、従来のような固定したクロック駆動方式だと対応しようがないため不良品として捨てる以外にない。しかし本発明のようにクロック信号線の駆動回路を可変にしておくことにより、対応できる場合もある。これはLSIの製造歩留まりを改善することにつながる。

【0088】同様にして、上記実施の形態では、あらかじめ想定していなかった電源電圧で使用されるような状況においても、クロック駆動を変更することで対応することが可能である。

【0089】

【発明の効果】以上で説明したように、従来はクロック信号に係わるタイミングエラーが起こるような状況でも、本発明の半導体集積回路ではクロック信号線の駆動回路を自動調整することによりタイミングエラーを回避することができる。従って、従来のように回路修正/再試作を行う必要がなくなり、開発期間/工数を大幅に削減することが可能である。

【0090】また、製造時の素子特性のばらつきやチップ使用時の電源電圧変動による遅延特性の変化を補償することができるので、チップ歩留まりを改善することも可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体集積回路の構成図。

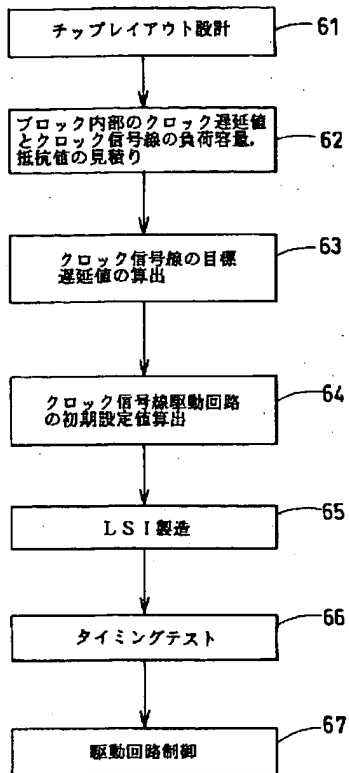
【図2】本発明の第1の実施の形態の半導体集積回路におけるクロック調整処理のフロー図。

【図3】本発明の第1の実施の形態の半導体集積回路におけるタイミングテストおよび駆動回路制御のフロー図。

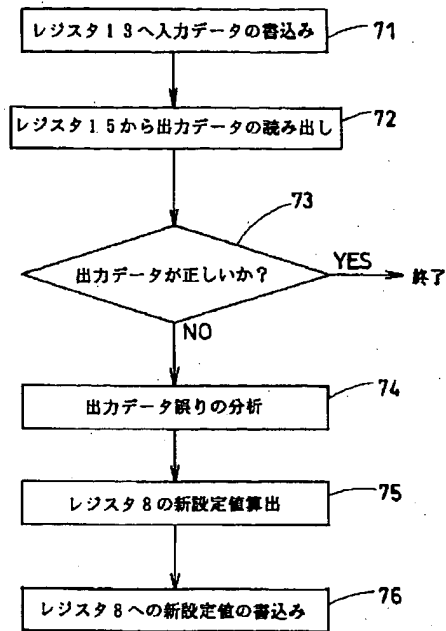
【図4】本発明の第2の実施の形態の半導体集積回路の構成図。

【図5】本発明の第2の実施の形態の半導体集積回路に

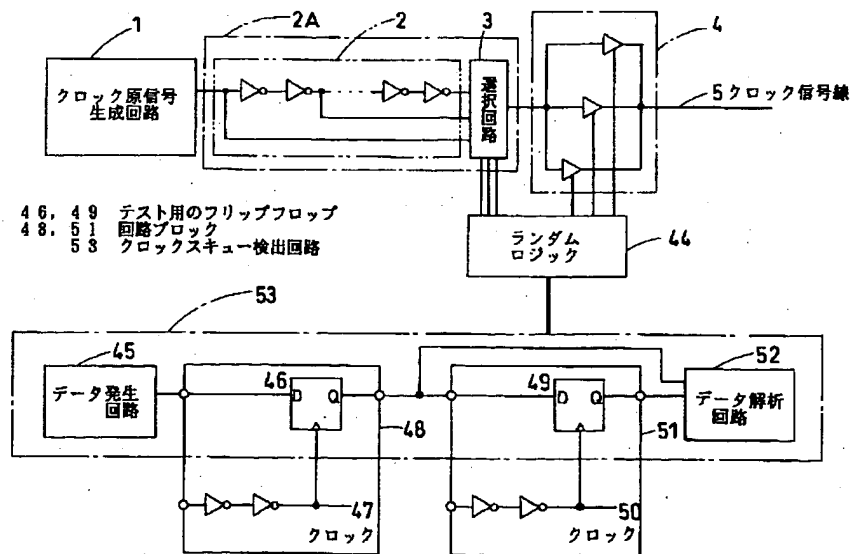
【図2】



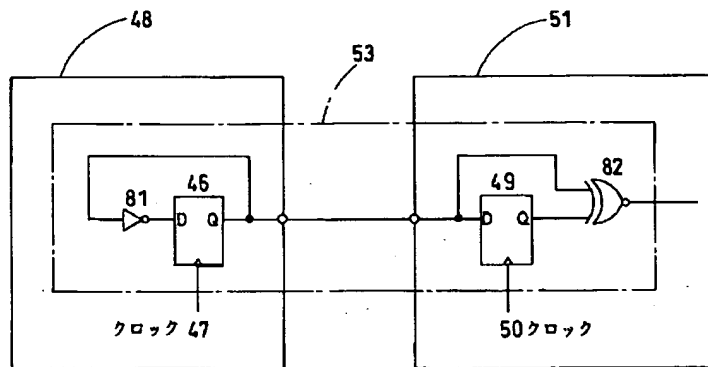
【図3】



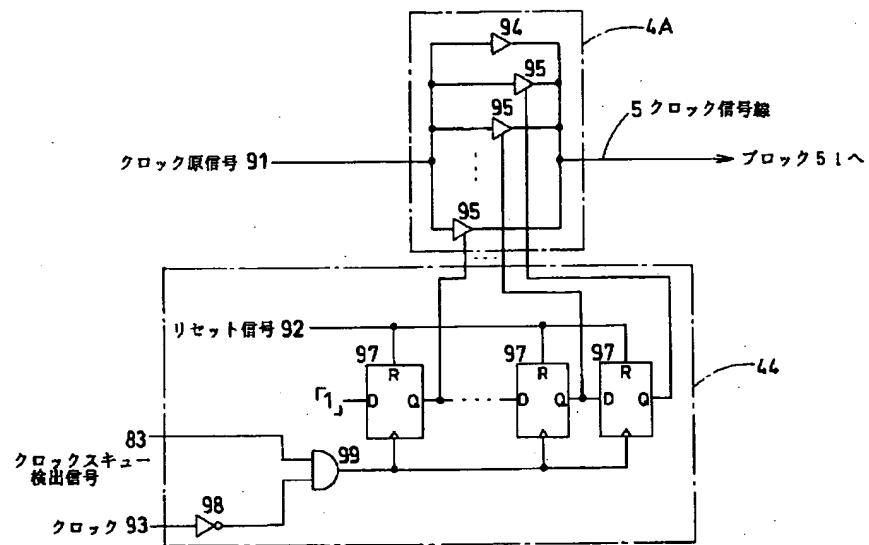
【図4】



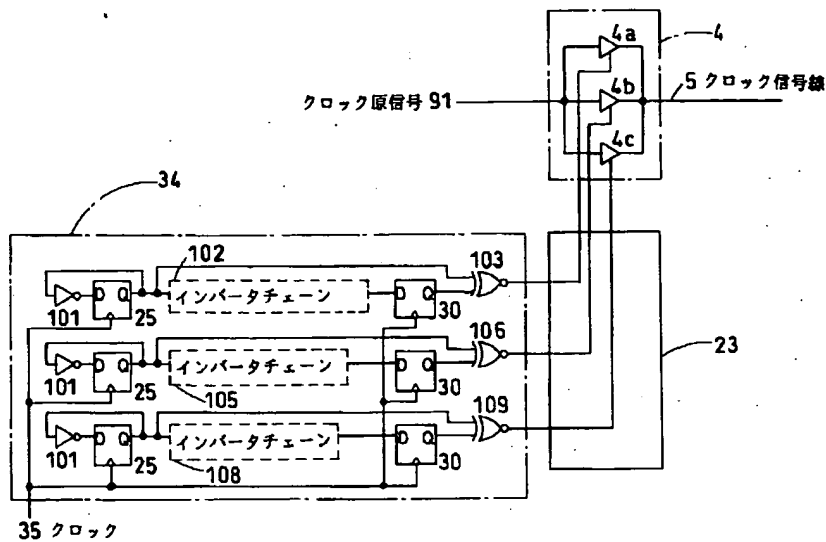
【図5】



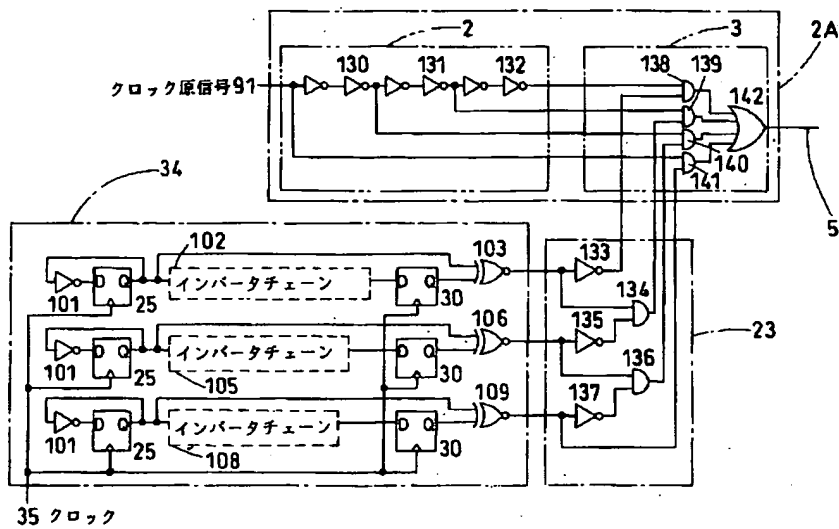
【図6】



【図9】



【図10】



フロントページの続き

(51)Int. Cl.⁷

H03K 5/13

識別記号

F I

テームド (参考)

Fターム(参考) 5B079 CC02 CC08 CC14 DD06 DD08

DD13 DD20

5F038 BH19 CD06 CD07 CD08 CD09

DF01 DF04 DT02 DT10 DT12

DT17 EZ10 EZ20

5J001 BB00 BB02 BB05 BB08 BB09

BB12 BB13 BB20 BB23 DD01

DD03 DD09